

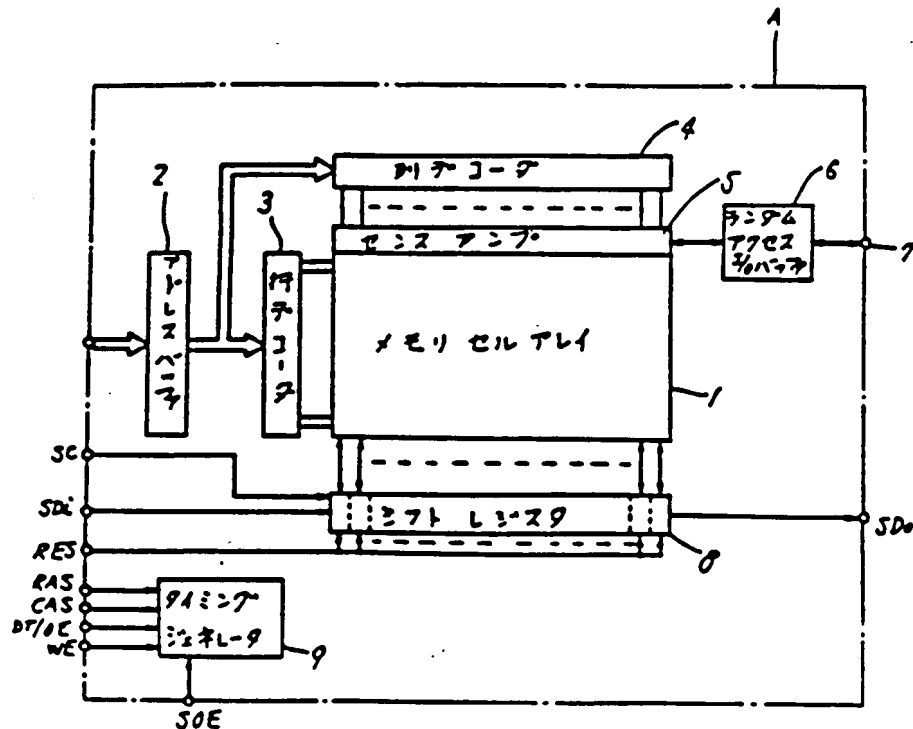
prr fu

PROG:

-1-

AN - 88-106989
TI - SEMICONDUCTOR MEMORY DEVICE
PA - (2000510) HITACHI LTD; (2470864) HITACHI MICRO COMPUT ENG LTD
IN - KOYAMA, HIDEAKI; SAEKI, MITSUHIRO
PN - 88.05.12 J63106989, JP 63-106989
AP - 86.10.24 86JP-251708, 61-251708
SO - 88.09.22 SECT. P, SECTION NO. 761; VOL. 12, NO. 354, PG. 112.
IC - G11C-011/34
JC - 45.2 (INFORMATION PROCESSING--Memory Units); 42.2 (ELECTRONICS--Solid State Components).
AB - PURPOSE: To clear all of the data at high speed, by constituting a shift register or a data register in a memory cell array with a flip-flop capable of being set/reset, and enabling all of the bits of the register to be reset or set simultaneously by a control signal.
CONSTITUTION: The shift register 8 is constituted of the flip-flops capable of being reset simultaneously by the control signal supplied from the outside. After all of the bits of the shift register 8 are reset by the control signal RES, the data of the shift register 8 are transferred comprehensively to memory cell rows selected by a row address decoder 3. Afterwards, the data of the shift register 8 are transferred to all of the memory cell rows changing row addresses one by one. In such way, it is possible to clear all of the data in the memory cell array in a short time.

SS 2 /C?
USER:



SEC 007024

⑫ 公開特許公報(A)

昭63-106989

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)5月12日

G 11 C 11/34

K-8522-5B

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭61-251708

⑰ 出 願 昭61(1986)10月24日

⑱ 発 明 者 小 山 英 昭 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑲ 発 明 者 佐 伯 光 弘 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社 東京都小平市上水本町1479番地

株式会社

㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. ランダム・アクセス・ポートとシリアル・ポートとを備えた半導体記憶装置において、シリアル・ポート側に設けられ、メモリエレイの一行分のデータを保持可能なレジスタを、セットもしくはリセット可能なフリップフロップで構成し、外部から供給される制御信号に基づいて上記レジスタの全ビットを同時にセットもしくはリセットできるように構成してなることを特徴とする半導体記憶装置。

2. 上記レジスタのセットもしくはリセットを指示する上記制御信号を入力する専用のコントロール端子が設けられてなることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 上記レジスタのセットもしくはリセットを指示する上記制御信号は、外部から供給される複数の信号の組み合わせに基づいて形成されるように

されてなることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は、半導体記憶技術さらには半導体記憶装置におけるデータのクリア方式に適用して特に有効な技術に関し、例えばランダム・アクセス・ポートとシリアル・ポートとを有するデュアル・ポート・メモリに利用して有効な技術に関する。

【従来の技術】

CRT表示装置のような表示装置を備えたシステムにおいては、システムを最初にスタートさせるときなどに、画像データを格納するフレームバッファ内のデータをクリアする必要がある。従って、RAM(ランダム・アクセス・メモリ)を使ってフレーム・バッファを構成した場合には、全ビットにいろいろなデータを書き込んでやらなければならない。

一方、近年、画像メモリに適したメモリとして、デュアル・ポート・メモリが種々提供されている。

これらのデュアル・ポート・メモリの中には、
【例】日立製作所製デュアル・ポート・メモリH
M53462のように、シリアル出力ピンの他に
シリアル入力ピンを有するものがある。

シリアル入力ピンを有するデュアル・ポート・
メモリでは、そのシリアル入力ピンからデータの
書き込みが行えるため、ランダム・アクセスによ
るデータ書き込みでクリアを行う場合に比べてかな
り高速なクリア動作が可能である。

一方、シリアル入力ピンを有しないデュアル・
ポート・メモリであっても、データ・レジスタを
有するものにおいては、ランダム・アクセス・ポ
ートから1行分のセルをクリア（書き込みによるク
リア）しておいてから、この行のデータをデータ・
レジスタに転送した後、これをメモリセルアレイ
のすべての行に次々と転送してやることで比較的
速く全図クリアを行うことができる（日経マグロー
ウヒル社発行「日経エレクトロニクス」1985
年5月20日号、No. 389、第195頁～第
219頁参照）。

レジスタを、セット、リセット可能なフリップフ
ロップで構成し、外部から供給される制御信号に
よりレジスタの全ビットを同時にリセットもしくは
セットできるようにするものである。

【作用】

上記した手段によれば、データの書き込みもしく
はシリアル転送を行うことなく一括してレジスタ
への初期データの設定を行えるようになって、メ
モリセルアレイ内の全データのクリアの高速化を
図るという上記目的を達成することができる。

【実施例】

第1図には、本発明をデュアル・ポート・メモ
リに適用した場合の一実施例が示されている。

特に制限されないが、図中一点鎖線Aで囲まれ
た各四角ブロックは単結晶シリコン基板上のよう
な一つの半導体チップ上において形成される。

図中において、1は、例えば1024×256
ビットのようなマトリクスに構成されたメモリ
セルアレイで、このメモリセルアレイ1はアドレ
スバッファ2を介してアドレスマルチプレクス方式

【発明が解決しようとする問題点】

しかしながら、シリアル入力ピンを有するデュ
アル・ポート・メモリにおいては、各行ごとにデ
ータを入れてやる必要があるためシリアル転送の
分だけクリアが遅くなる。

また、データ・レジスタを有するデュアル・ポ
ート・メモリにおいては、最初の1行分のセルの
クリア（書き込み）にかなり時間を要するという問
題点がある。

この発明の目的は、メモリセルアレイ内のデー
タのクリアが高速で行えるようなデュアル・ポ
ート・メモリを提供することにある。

この発明の構成ならびにそのほかの目的と新規
な特徴については、本明細書の記述および添付図
面から明らかになるであろう。

【問題点を解決するための手段】

本図において開示される発明のうち代表的なも
のの概要を説明すれば、下記のとおりである。

すなわち、メモリセルアレイの一行分のデータ
を保持可能なシフト・レジスタもしくはデータ・

で取り込まれるアドレス信号によってランダム・
アクセス可能に構成されている。

すなわち、外部から供給される制御信号RAS
に同期してアドレスバッファ2に取り込まれた行
アドレスは、行アドレス・デコード3に供給され
てデコードされ、また、制御信号CASに同期し
て取り込まれた列アドレスは、列アドレス・デコ
ード4に供給されてデコードされる。

そして、行アドレス・デコード3により選択さ
れたワード線と、列アドレス・デコード4により
選択されたデータ線（4本、8本…2ⁿ本）の交
点に位置するメモリセルが選択される。制御信号
WEがハイレベルにされている読出し時には、選
択されたメモリセルのデータがセンスアンプ5に
よって増幅され、ランダム・アクセス入出力バッ
ファ6を介してパラレルデータ入出力端子7より
外部へ出力される。一方、制御信号WEがローレ
ベルにされている書き込み時には、選択されたメモ
リセルに対し、そのときパラレルデータ入出力端
子7に供給されているデータがセンスアンプ5を

介して書き込まれる。

センスアンプ5が接続されたデータ線の反対側には、例えば1024ビット構成のシフト・レジスタ6が接続されている。特に制限されないが、この実施例ではシリアル入力端子SD1より入力されたシリアル・データが、外部から供給されるシリアル・クロックSCに同期して次々と取り込まれ、シフトされるようになっている。そして、シフト・レジスタ6が一杯になると、それらのデータは一括してメモリセルアレイ1に伝送され、その時、行アドレス・デコーダ3によって選択状態にされているワード線に接続されているメモリセルに書き込まれる。

また、シリアル・ポートからの読出し時には、行アドレス・デコーダ3によって選択されたメモリセル行のデータが読み出されてシフト・レジスタ6にパラレルに伝送され、シリアル・クロックSCに同期してシリアル出力端子SD0より外部へ出力される。

しかして、この実施例では、上記並一直列変換

例えば外部から供給されるデータ転送制御信号DTによって制御される。この場合、データ転送制御信号DTの入力端子と出力コントロール用の制御信号OEの入力端子とを共用することが可能である。

同様に、シリアルデータの入力端子SD1と出力端子SD0とを共用させることもできる。また、その場合、外部からシリアル入力とシリアル出力の切換えを指令するための制御信号SOEを供給してやるようにしてやればよい。

上記実施例のメモリには、外部から供給される各種制御信号RAS、CAS、OE、WEやSOEなどに基づいて、内部のデコーダ3、4やシフトレジスタなどへ供給するタイミング信号を形成するタイミングジェネレータ9が設けられている。

なお、上記実施例では、シリアル・ポート側にシフト・レジスタ6を設けたものについて説明したが、シフト・レジスタ6の代わりにメモリセルアレイ1から読み出されたデータを保持するデータ・レジスタと、このデータ・レジスタに保持さ

れたデータを順次選択して出力させるセレクトを設けた構成にしてもよい。その場合、データ・レジスタをセットもしくはリセット可能なフリップフロップで構成し、外部からの制御信号RESでリセットもしくはセットさせるようにすればよい。

また、上記実施例ではシフト・レジスタ6がメモリセルアレイ1に直結されているが、シフト・レジスタ6とメモリセルアレイ1との間に転送ゲートを設けるようにしてもよい。シフト・レジスタの代わりにデータ・レジスタを設けた場合も同様である。

さらに、上記実施例では、シフト・レジスタ6をリセットもしくはセットさせる制御信号RESを外部から与えるようにしているが、他の制御信号(例えばRASとCAS)の組合せによって、内部のタイミング・ジェネレータ9でシフト・レジスタ6をリセットもしくはセットさせる信号を形成するようにしてもよい。このようにすれば、デュアルポート・メモリに高速データクリア機構を持たせるための専用の端子をわざわざ設ける必

要がない。

以上説明したごとく上記実施例は、メモリセルアレイの一行分のデータを保持可能なシフト・レジスタもしくはデータ・レジスタをセット、リセット可能なフリップフロップで構成し、外部から供給される制御信号によりレジスタの全ビットを同時にリセットもしくはセットできるように構成したので、データの書き込みもしくはシリアル伝送を行うことなく一括してレジスタへの初期データの設定を行えるという作用により、セットもしくはリセットされたレジスタのデータを、行アドレスで一行ごとにメモリセルアレイへ伝送させるのみでメモリ内の全データのクリアを高速で行うことができるようになるという効果がある。

また、上記レジスタのセットもしくはリセットを示す制御信号を、外部から供給される複数の信号の組合せに基づいて形成させるようにしたので、新たに端子を増設することなく一括してレジスタの初期設定が行えるという作用により、パッケージを大型化させずに高速クリア機能を実現

することができるという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えばシフト・レジスタ8の代わりにデータ・レジスタを設けるようにしたデュアル・ポート・メモリにおいては、データ・レジスタを256×4ビットのような構成にするとともに、4本のシリアル入出力端子を設けるようにしてもよい。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である画像メモリに好適なデュアル・ポート・メモリに適用したものについて説明したが、この発明はそれに限定されず、読出し書き込み可能なメモリ一般に利用できる。

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、ランダム・アクセス・ポートとシリアル・ポートとを備えた半導体記憶装置において、データの書き込みもしくはシリアル伝送を行うことなく一括してレジスタへの初期データの設定を行えるようになり、これによって、メモリ内の全データのクリアが高速で行えるようになる。

4. 図面の簡単な説明

第1図は本発明をデュアル・ポート・メモリに適用した場合の一実施例を示すブロック図である。

1……メモリセルアレイ、2……アドレスバッファ、3……行アドレス・デコード、4……列アドレス・デコード、5……センスアンプ、6……ランダム・アクセス入出力バッファ、7……パラレルデータ入出力端子、8……レジスタ(シフト・レジスタ)、9……タイミング・ジェネレータ。

代理人 弁護士 小川勝男



第 1 圖

